

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299575

(43)Date of publication of application : 11.10.2002

(51)Int.Cl. H01L 27/105  
G11C 11/14  
G11C 11/15  
H01L 27/10  
H01L 43/08

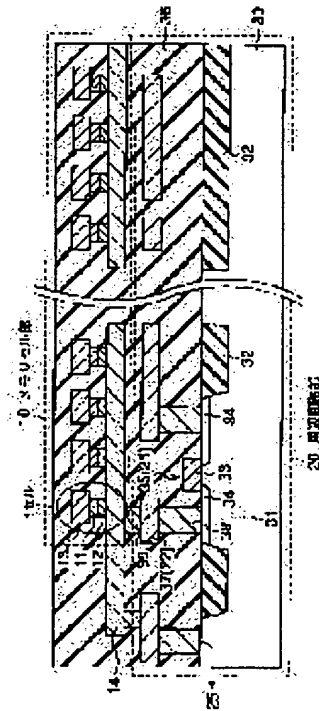
(21)Application number : 2001-096679 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 29.03.2001 (72)Inventor : HOSOYA KEIJI  
SUNOCHI KAZUMASA

## (54) SEMICONDUCTOR MEMORY

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the chip area.

SOLUTION: The semiconductor memory comprises a memory cell 10 using a magnetoresistive effect element 11 comprising a first magnetic layer, a second magnetic layer and a nonmagnetic layer as a memory element, and a peripheral circuit 20 for controlling the memory cell 10. The semiconductor memory further comprises a first circuit 12 at the memory cell 10 paired with the magnetoresistive effect element 11 for each cell and reading/writing information from/in the magnetoresistive effect element 11, and a second circuit at the peripheral circuit 20 for controlling the first circuit 12. The second circuit is provided, at least partially, in a region beneath the memory cell 10.



## LEGAL STATUS

[Date of request for examination] 11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-299575

(P2002-299575A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
11/15		H 0 1 L 27/10	4 8 1
H 0 1 L 27/10	4 8 1	43/08	Z
43/08		27/10	4 4 7
審査請求 未請求 請求項の数10 O L (全 16 頁)			

(21) 出願番号 特願2001-96679(P2001-96679)

(22) 出願日 平成13年3月29日 (2001. 3. 29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 細谷 啓司

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 須之内 一正

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

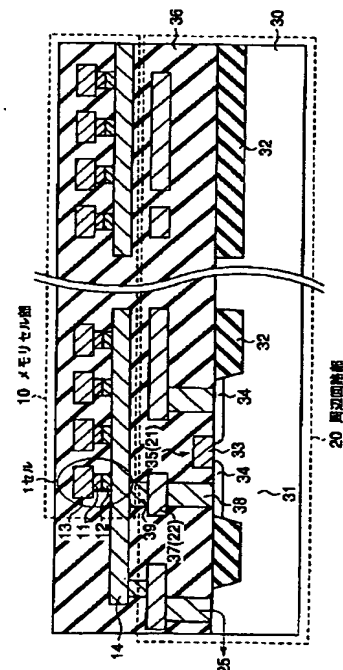
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 チップ面積の縮小化を可能とする。

【解決手段】 第1の磁性層、第2の磁性層、非磁性層の少なくとも3層で構成される磁気抵抗効果素子11を記憶素子として用いたメモリセル部10と、このメモリセル部10を制御する周辺回路部20とを備えた半導体記憶装置であって、1セル毎に前記磁気抵抗効果素子11と対で配置され、前記磁気抵抗効果素子11に情報の書き込み又は読み出しを行う前記メモリセル部10の第1の回路12と、前記第1の回路12を制御する前記周辺回路部20の第2の回路とを具備し、前記第2の回路の少なくとも一部は前記メモリセル部20の下部領域に配置されている



1

## 【特許請求の範囲】

【請求項1】 第1の磁性層、第2の磁性層、非磁性層の少なくとも3層で構成される磁気抵抗効果素子を記憶素子として用いたメモリセル部と、このメモリセル部を制御する周辺回路部とを備えた半導体記憶装置であつて、

1セル毎に前記磁気抵抗効果素子と対で配置され、前記磁気抵抗効果素子に情報の書き込み又は読み出しを行う前記メモリセル部の第1の回路と、

前記第1の回路を制御する前記周辺回路部の第2の回路とを具備し、

前記第2の回路の少なくとも一部の回路は前記メモリセル部の下部領域に配置されていることを特徴とする半導体記憶装置。

【請求項2】 第1の磁性層、第2の磁性層、非磁性層の少なくとも3層で構成される磁気抵抗効果素子を記憶素子として用いたメモリセル部と、このメモリセル部を制御する周辺回路部と、ロジック回路部とを備えた半導体記憶装置であつて、

1セル毎に前記磁気抵抗効果素子と対で配置され、前記磁気抵抗効果素子に情報の書き込み又は読み出しを行う前記メモリセル部の第1の回路と、

前記第1の回路を制御する前記周辺回路部の第2の回路と、

前記ロジック回路部の第3の回路とを具備し、

前記第3の回路の少なくとも一部の回路は前記メモリセル部の下部領域に配置されていることを特徴とする半導体記憶装置。

【請求項3】 前記第1の回路は、少なくとも整流素子又はトランジスタを有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記第2の回路は、少なくともアドレスデコーダ、アドレス配線、センスアンプ回路、書き込み配線用ドライバ、電源配線及び接地配線を有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】 前記第2の回路の少なくとも一部は前記メモリセル部の下部領域に配置されていることを特徴とする請求項2記載の半導体記憶装置。

【請求項6】 前記第2の回路の配線層を接続するコンタクト層は、前記磁気抵抗効果素子からなることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項7】 前記メモリセル部の下部領域から前記メモリセル部の外部領域に引き出された前記回路と、前記回路とコンタクト層を介して接続された配線層とをさらに具備し、

前記配線層は前記第1の回路の配線層で形成され、前記コンタクト層は前記磁気抵抗効果素子で形成されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項8】 前記磁気抵抗効果素子に接続する前記第1の回路の第1の配線層と、

2

前記第2の回路の第2の配線層とをさらに具備し、

前記第1の配線層はLSIを構成する配線層の最上層に配置され、前記第2の配線層は前記第1の配線層下の前記メモリセル部内に配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項9】 前記第2の配線層は、前記第1の配線層下の前記メモリセル部内に配置され、前記第1の回路の配線層で形成されることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 前記第2の配線層は、アドレス配線であることを特徴とする請求項8記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特にトンネル磁気抵抗効果(TMR: Tunneling Magneto Resistive)素子を記憶素子として用いた磁気記憶装置(MRAM: Magnetic Random Access Memory)に関する。

## 【0002】

【従来の技術】近年、情報記憶素子として、磁気抵抗効果を利用したMRAM (Magnetic Random Access Memory)メモリセルが提案されている。このMRAMは、今後、不揮発性、高集積性、高信頼性、高速動作を兼ね備えたメモリデバイスへ発展することが期待されている。

【0003】磁気抵抗効果素子には、主にGMR (Giant Magneto Resistive)素子とTMR (Tunneling Magneto Resistive)素子の2つの素子が知られている。GMR素子は、2つの強磁性層とこれら強磁性層に挟まれた導体とからなり、この導体の抵抗が上下の強磁性層のスピン向きにより変化する効果を有する。しかし、GMR素子のMR (Magneto Resistive)比は10%以下と低いため、読み出しマージンを確保することが困難である。一方、TMR素子は、2つの強磁性層とこれら強磁性層に挟まれた絶縁体とからなり、この絶縁体のトンネル抵抗が上下の強磁性層のスピン向きによって変化する効果を有する。このTMR素子では、現在50%以上のMR比を確保することが可能となってきている。

【0004】図20乃至図22は、従来技術によるTMR素子を有する代表的な半導体記憶装置であり、この半導体記憶装置のメモリセル部のセル構造を示す。

【0005】図20(A)は、第1の従来技術による半導体記憶装置の平面図を示す。図20(B)は、図20(A)のXXB-XXB線に沿った半導体記憶装置の断面図を示す。この第1の従来技術による半導体記憶装置は、TMR素子に接続するスイッチング素子にMOSトランジスタを用いた構造である。

【0006】図20(A)(B)に示すように、ビット線13と書き込みワード線14とが互いに直交するようにマトリクス状に複数個配置され、各々のクロスポイント型にTMR素子11が配置されている。このTMR素

3

子 11 は、上部電極（表示せず）を介してビット線 13 に接続され、下部電極 70 及びコンタクト層 38 を介して MOS トランジスタ 35 に接続されている。そして、この MOS トランジスタ 35 のゲート電極 33 が読み出しワード線になっている。ここで、TMR 素子 11 は、下部電極 70 に接続する強磁性層の磁化固着層 41 と、上部電極を介してビット線 13 に接続する強磁性層の磁気記録層 43 と、これら磁化固着層 41 と磁気記録層 43 とに挟まれた非磁性層のトンネル接合層 42 とで構成される。

【0007】このような半導体記憶装置では、以下のよう  
に情報の書き込み・読み出し動作が行われる。

【0008】磁化固着層 41 は磁気記録層 43 よりも磁化の反転閾値が高い。このため、通常の書き込み動作においては、磁化固着層 41 の磁化の方向は反転せず、磁気記録層 43 の磁化の方向のみ反転する。したがって、任意の選択セルに情報を書き込む場合、磁気記録層 43 の磁化方向を反転させることによって、TMR 素子 11 に“1”、“0”情報のいずれかの状態が選択セルに書き込まれる。この際、任意の選択セルに情報を書き込む  
には、最低 2 本の書き込み線（ビット線 13、書き込みワード線 14）を用いて、その 2 本の書き込み線のクロス  
ポイント部のみの磁気記録層 43 の磁化方向が反転する  
ようにする必要がある。

【0009】一方、磁気記録層 43 の磁化方向が磁化固着層 41 の磁化方向と同じになったときにトンネル接合層 42 の抵抗は最も低くなり、反対に両者の磁化方向が反対になったときにトンネル接合層 42 の抵抗は最も高くなる。そこで、TMR 素子 11 を外側から挟む上部電極及び下部電極 70 を介して上下に配置される 2 本の配線から TMR 素子 11 を貫通する方向に電流を流すこと  
によって、トンネル接合層 42 の抵抗の変化を読み取る。これにより、“1”、“0”の情報記憶状態を判定  
することが可能となり、情報が読み出される。

【0010】図 21 (A) は、第 2 の従来技術による半導体記憶装置の平面図を示す。図 21 (B) は、図 21 (A) の XXIB-XXIB 線に沿った半導体記憶装置の断面図を示す。この第 2 の従来技術による半導体記憶装置は、TMR 素子 11 に接続するスイッチング素子に整流素子（例えば p n 接合ダイオード）12 を用いた構造であり、クロスポイント型のセルを実現することが可能な  
シンプルな構造である。この構造では、磁気記録層 43 に情報を書き込むための書き込み配線と情報を読み出すための読み出し配線はいずれも共通であり、ワード線 14 とビット線 13 の 2 本の配線のみで情報の書き込み・読み出し動作が行われる。この際、ダイオード 12 の整流性を活用して選択セルのみに情報の書き込み・読み出しができるように、ワード線 14 とビット線 13 の印加バイアスをそれぞれ制御する必要がある。

【0011】図 22 (A) は、第 3 の従来技術による半

4

導体記憶装置の平面図を示す。図 22 (B) は、図 22 (A) の XXIB-XXIB 線に沿った半導体記憶装置の断面図を示す。この第 3 の従来技術による半導体記憶装置は、第 2 の従来技術による半導体記憶装置と同じくクロスポイント型の構造であるが、整流素子を用いないタイプである。この構造は、整流素子を用いない分、プロセス及び構造は簡単になる。しかし、このままでは読み出し時に選択セル以外のセルにも電流が流れてしまうため、読み出し動作に工夫が必要である。つまり、このセルでは読み出しワード線 14 b と書き込みワード線 14 a の 2 本を用いて選択セルに情報が書き込まれ、ビット線 13 と読み出しワード線 14 b の 2 本を用いて選択セルの情報が読み出される。このように、読み出し線と書き込み線のうち 1 本だけを共通にして、合計 3 本の配線でセルにアクセスする。

【0012】

【発明が解決しようとする課題】以上のような従来技術による半導体記憶装置では、図 23 に示すように、メモリセル部 10 とこのメモリセル部 10 を制御する周辺回路部 20 とからなる。この周辺回路部 20 の回路はメモリセル部 10 の外側の領域に配置されるため、メモリセル部 10 内には TMR 素子 11 およびスイッチング素子しか配置されない。

【0013】このため、図 20 に示すように、第 1 の従来技術による半導体記憶装置では、メモリセル部 10 内に活用されていないスペース 45 が存在していた。また、図 21、図 22 に示すように、第 2、第 3 の従来技術による半導体記憶装置では、メモリセル部 10 の下部領域に存在する半導体基板 30 表面が全面素子分離領域 32 でしかなく、活用されていないスペース 45 が存在していた。このように、これらのスペース 45 は、MRAM 搭載のチップ面積の更なる縮小化の障害となっていた。

【0014】本発明は上記課題を解決するためになされたものであり、その目的とするところは、チップ面積の縮小化が可能な半導体記憶装置を提供することにある。

【0015】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0016】本発明の第 1 の視点による半導体記憶装置は、第 1 の磁性層、第 2 の磁性層、非磁性層の少なくとも 3 層で構成される磁気抵抗効果素子を記憶素子として用いたメモリセル部と、このメモリセル部を制御する周辺回路部とを備えた半導体記憶装置であって、1 セル毎に前記磁気抵抗効果素子と対で配置され、前記磁気抵抗効果素子に情報の書き込み又は読み出しを行う前記メモリセル部の第 1 の回路と、前記第 1 の回路を制御する前記周辺回路部の第 2 の回路とを具備する。そして、前記第 2 の回路の少なくとも一部の回路は前記メモリセル部の下部領域に配置されていることを特徴とする。

5

【0017】本発明の第2の視点による半導体記憶装置は、第1の磁性層、第2の磁性層、非磁性層の少なくとも3層で構成される磁気抵抗効果素子を記憶素子として用いたメモリセル部と、このメモリセル部を制御する周辺回路部と、ロジック回路部とを備えた半導体記憶装置であって、1セル毎に前記磁気抵抗効果素子と対で配置され、前記磁気抵抗効果素子に情報の書き込み又は読み出しを行う前記メモリセル部の第1の回路と、前記第1の回路を制御する前記周辺回路部の第2の回路と、前記ロジック回路部の第3の回路とを具備する。そして、前記第3の回路の少なくとも一部の回路は前記メモリセル部の下部領域に配置されていることを特徴とする。

【0018】前記第1の回路は、少なくとも整流素子又はトランジスタを有する。また、前記第2の回路は、少なくともアドレスデコーダ、アドレス配線、センスアンプ回路、書き込み配線用ドライバ、電源配線及び接地配線を有する。

【0019】前記メモリセル部の下部領域から前記メモリセル部の外部領域に引き出された前記回路と、前記回路とコンタクト層を介して接続された配線層とをさらに具備し、前記配線層は前記第1の回路の配線層で形成され、前記コンタクト層は前記磁気抵抗効果素子で形成されてもよい。

【0020】前記磁気抵抗効果素子に接続する前記第1の回路の第1の配線層と、前記第2の回路の第2の配線層とをさらに具備し、前記第1の配線層はLSIを構成する配線層の最上層に配置され、前記第2の配線層は前記第1の配線層下の前記メモリセル部内に配置されてもよい。ここで、前記第2の配線層は、前記第1の配線層下の前記メモリセル部内に配置され、前記第1の回路の配線層で形成されることが望ましい。

【0021】

【発明の実施の形態】本発明は、トンネル磁気抵抗効果(TMR: Tunneling Magneto Resistive)素子を記憶素子として用いた磁気記憶装置(MRAM: Magnetic Random Access Memory)に関するものである。このMRAMでは、TMR素子を備えたメモリセルをマトリクス状に複数個配置したメモリセルアレイ構造となっており、このメモリセルアレイの周辺にデコーダ及びセンス回路等の周辺回路部を設け、任意のセルにランダムアクセスすることによって、情報の書き込み・読み出し動作を可能にしたものである。

【0022】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0023】[第1の実施形態] 第1の実施形態に係る半導体記憶装置は、TMR素子とpn接合ダイオードを組み合わせた1TMR素子+1ダイオード型のセル構造である。

【0024】図1は、本発明の第1の実施形態に係る半

6

導体記憶装置のメモリセル部の平面図を示す。図2は、本発明の第1の実施形態に係る半導体記憶装置の周辺回路部の平面図を示す。図3は、図1、図2のIII-III線に沿った半導体記憶装置の概略的な断面図を示す。

【0025】図1、図3に示すように、第1の実施形態に係る半導体記憶装置のメモリセル部10は、TMR素子11、pn接合ダイオード12、ビット線13、ワード線14から構成される。このメモリセル部10では、ビット線13とワード線14とが互いに直交するようにマトリクス状に周期的に配置され、これらビット線13とワード線14の各々の交点にTMR素子11が配置される。このTMR素子11と対になって1セル毎にpn接合ダイオード12が配置され、このpn接合ダイオード12はTMR素子11とワード線14に接続される。

【0026】図2、図3に示すように、第1の実施形態に係る半導体記憶装置の周辺回路部20の一部は、メモリセル部10の下部領域に配置される。

【0027】例えば、図2に示すように、周辺回路部20のカラム系回路の一部がメモリセル部10の下部領域に配置され、周辺回路部20のロウ系回路がメモリセル部10の外部領域に配置される。すなわち、カラム系回路のビット線駆動トランジスタ21、電源配線及び接地配線22、カラムアドレス線23、カラムデコーダ24がメモリセル部10の下部領域に配置される。一方、カラム系回路のセンスアンプ回路25、ロウ系回路のワード線駆動トランジスタ26、ロウデコーダ27、ロウアドレス配線28がメモリセル部10の外部領域に配置される。

【0028】具体的には、図3に示すように、半導体基板30に素子領域31と素子分離領域32とが形成される。この素子領域31の半導体基板30上にゲート電極33が形成され、このゲート電極33を挟んだ素子領域31内にソース/ドレイン拡散層34が形成される。これにより、MOSトランジスタ35が形成され、このMOSトランジスタ35が例えばビット線駆動トランジスタ21となる。また、半導体基板30上の層間絶縁膜36内には配線層37が形成され、この配線層37が例えば電源配線及び接地配線22となる。そして、この配線層37とソース/ドレイン拡散層34とが第1のコンタクト層38で接続され、配線層37とワード線14とが第2のコンタクト層39で接続される。これにより、電源配線及び接地配線22がビット線駆動トランジスタ21に電位を与え、このビット線駆動トランジスタ21が書き込み電流を発生させる。また、メモリセル部10の外側へ延在したワード線14には“1”、“0”判定用のセンスアンプ回路25が接続される。

【0029】次に、TMR素子11の構造について説明する。このTMR素子11は、磁化固着層(磁性層)、トンネル接合層(非磁性層)、磁気記録層(磁性層)との少なくとも3層で構成される。そして、TMR素子1

7

1は、以下に示す1重トンネル接合構造又は2重トンネル接合構造となっており、いずれの構造であってもよい。

【0030】図4(A)、図4(B)は、1重トンネル接合構造のTMR素子の断面図を示す。以下、1重トンネル接合構造のTMR素子11について説明する。

【0031】図4(A)に示すTMR素子11は、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層された磁化固着層41と、この磁化固着層41上に形成されたトンネル接合層42と、このトンネル接合層42上に自由強磁性層105、接点層106が順に積層された磁気記録層43とからなる。

【0032】同様に、図4(B)に示すTMR素子11は、テンプレート層101、初期強磁性層102、反強磁性層103、強磁性層104'、非磁性層107、強磁性層104''が順に積層された磁化固着層41と、この磁化固着層41上に形成されたトンネル接合層42と、このトンネル接合層42上に強磁性層105'、非磁性層107、強磁性層105''、接点層106が順に積層された磁気記録層43とからなる。

【0033】なお、この図4(B)に示すTMR素子11では、磁化固着層41内の強磁性層104'、非磁性層107、強磁性層104''からなる3層構造と、磁気記録層43内の強磁性層105'、非磁性層107、強磁性層105''からなる3層構造とを導入することで、図4(A)に示すTMR素子11よりも、強磁性内部の磁極の発生を抑制し、より微細化に適したセル構造が提供できる。

【0034】図5(A)、図5(B)は、2重トンネル接合構造のTMR素子の断面図を示す。以下、2重トンネル接合構造のTMR素子11について説明する。

【0035】図5(A)に示すTMR素子11は、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層された第1の磁化固着層41aと、この第1の磁化固着層41a上に形成された第1のトンネル接合層42aと、この第1のトンネル接合層42a上に形成された磁気記録層43と、この磁気記録層43上に形成された第2のトンネル接合層42bと、この第2のトンネル接合層42b上に基準強磁性層104、反強磁性層103、初期強磁性層102、接点層106が順に積層された第2の磁化固着層41bとからなる。

【0036】図5(B)に示すTMR素子11は、テンプレート層101、初期強磁性層102、反強磁性層103、基準強磁性層104が順に積層され第1の磁化固着層41aと、この第1の磁化固着層41a上に形成された第1のトンネル接合層42aと、この第1のトンネル接合層42a上に強磁性層43'、非磁性層107、強磁性層43''の3層構造によって順に積層された磁気

8

記録層43と、この磁気記録層43上に形成された第2のトンネル接合層42bと、この第2のトンネル接合層42b上に強磁性層104'、非磁性層107、強磁性層104''、反強磁性層103、初期強磁性層102、接点層106が順に積層された第2の磁化固着層41bとからなる。

【0037】なお、この図5(B)に示すTMR素子11では、磁気記録層43を構成する強磁性層43'、非磁性層107、強磁性層43''の3層構造と、第2の磁化固着層41b内の強磁性層104'、非磁性層107、強磁性層104''からなる3層構造とを導入することで、図5(A)に示すTMR素子11よりも、強磁性内部の磁極の発生を抑制し、より微細化に適したセル構造が提供できる。

【0038】このような2重トンネル接合構造のTMR素子11を用いることによって、1重トンネル接合構造のTMR素子11を用いた場合と比較して、同じ外部バイアスを印加したときのMR(Magneto Resistive)比(“1”状態、“0”状態の抵抗の変化率)の劣化が少なく、より高いバイアスで動作できる。すなわち、セル内の情報を外部に読み出す際に有利となる。

【0039】このような1重トンネル接合構造又は2重トンネル接合構造のTMR素子11は以下の材料を用いて形成される。

【0040】磁化固着層41、41a、41b及び磁気記録層43の材料には、例えば、Fe、Co、Ni又はそれらの合金、スピン分極率の大きいマグネタイト、CrO<sub>2</sub>、R<sub>x</sub>MnO<sub>3-y</sub>(R;希土類、X;Ca、Ba、Sr)などの酸化物の他、NiMnSb、PtMnSbなどのホイスラー合金などを用いることが好ましい。また、これら磁性体には、強磁性を失わないかぎり、Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Ir、W、Mo、Nbなどの非磁性元素が多少含まれていてもよい。

【0041】磁化固着層41、41a、41bの一部を構成する反強磁性層103の材料には、Fe-Mn、Pt-Mn、Pt-Cr-Mn、Ni-Mn、Ir-Mn、NiO、Fe<sub>2</sub>O<sub>3</sub>などを用いることが好ましい。

【0042】トンネル接合層42、42a、42bの材料には、Al<sub>2</sub>O<sub>3</sub>、SiO<sub>2</sub>、MgO、AlN、Bi<sub>2</sub>O<sub>3</sub>、MgF<sub>2</sub>、CaF<sub>2</sub>、SrTiO<sub>2</sub>、AlLaO<sub>3</sub>などの様々な誘電体を使用することができる。これらの誘電体には、酸素、窒素、フッ素欠損が存在していてもかまわない。

【0043】図6(A)は、従来技術によるMRAMチップの平面図を示す。図6(B)は、本発明の第1の実施形態によるMRAMチップの平面図を示す。図7

(A)は、図6(A)のVIIA-VIIA線に沿った従来のMRAMチップの断面図を示す。図7(B)は、図6(A)のVIIB-VIIB線に沿った第1の実施形態に係る

MRAMチップの断面図を示す。

【0044】上記第1の実施形態によれば、周辺回路部20の回路の一部をメモリセル部10の下部領域に配置する。このため、メモリセル部10の下部領域に配置した周辺回路部20の回路の分だけ、周辺回路部20の表面積を縮小できる。その結果、MRAMチップの面積を縮小できる。

【0045】すなわち、図6(A)に示すように、MRAMチップは、大きく分けてメモリセル部10と周辺回路部20とに分類できる。図7(A)に示すように、従来、メモリセル部10の下部領域は何も使われていないスペース45が存在していた。そこで、第1の実施形態によれば、図7(B)に示すように、従来のスペース45が存在していたメモリセル部10の下部領域に、周辺回路部20の回路の一部を配置させる。これによって、メモリセル部10の下部領域が有効活用され、図6

(B)に示すように、MRAMチップの面積を縮小することが可能である。

【0046】また、メモリセル部10の下部領域に配置される周辺回路部20の回路は、周辺回路形成に使われるレイヤーを用いて形成できる。従って、配置される領域が異なることでレイヤーを変更する必要はないため、プロセスを増やす必要もなく、コスト増加のおそれもない。

【0047】なお、メモリセル部10の下部領域に配置される周辺回路部20の回路は図2に示す回路に限定されず、メモリセル部10の外部領域に配置されたセンスアンプ回路25やワード線駆動トランジスタ26等の書き込み配線用ドライバをメモリセル部10の下部領域に配置してもよい。

【0048】[第2の実施形態] 第2の実施形態に係る半導体記憶装置は、TMR素子と書き込み・読み出し配線のみを用いた1TMR素子型のセル構造である。

【0049】図8は、本発明の第2の実施形態に係る半導体記憶装置のメモリセル部の平面図を示す。図9は、本発明の第2の実施形態に係る半導体記憶装置の周辺回路部の平面図を示す。図10は、図8、図9のX-X線に沿った半導体記憶装置の概略的な断面図を示す。

【0050】図8、図10に示すように、第2の実施形態に係る半導体記憶装置のメモリセル部10は、TMR素子11、ビット線13、書き込みワード線14a、読み出しワード線14bから構成される。このメモリセル部10では、ビット線13と書き込みワード線14aとが互いに直交するようにマトリクス状に周期的に配置され、これらビット線13と書き込みワード線14aの各々の交点にTMR素子11が配置される。また、ビット線13を挟んだTMR素子11の反対側には、ビット線13と離間して、書き込みワード線14aと直交するように読み出しワード線14bが配置される。

【0051】図9、図10に示すように、第2の実施形

態に係る半導体記憶装置の周辺回路部20の一部は、メモリセル部10の下部領域に配置される。

【0052】例えば、図9に示すように、周辺回路部20のカラム系回路の一部がメモリセル部10の下部領域に配置され、周辺回路部20のロウ系回路がメモリセル部10の外部領域に配置される。すなわち、カラム系回路のビット線駆動トランジスタ21、電源配線及び接地配線22、カラムアドレス線23、カラムデコーダ24がメモリセル部10の下部領域に配置される。一方、カラム系回路のセンスアンプ回路25、ロウ系回路のワード線駆動トランジスタ26、ロウデコーダ27、ロウアドレス配線28がメモリセル部10の外部領域に配置される。

【0053】具体的には、図10に示すように、半導体基板30に素子領域31と素子分離領域32とが形成される。この素子領域31の半導体基板30上にゲート電極33が形成され、このゲート電極33を挟んだ素子領域31内にソース/ドレイン拡散層34が形成される。これにより、MOSトランジスタ35が形成され、このMOSトランジスタ35が例えばビット線駆動トランジスタ21となる。また、半導体基板30上の層間絶縁膜36内には配線層37が形成され、この配線層37が例えば電源配線及び接地配線22となる。そして、この配線層37とソース/ドレイン拡散層34とが第1のコンタクト層38で接続され、配線層37と読み出しワード線14bとが第2のコンタクト層39で接続される。これにより、電源配線及び接地配線22がビット線駆動トランジスタ21に電位を与え、このビット線駆動トランジスタ21が書き込み電流を発生させる。また、メモリセル部10の外側へ延在したビット線13には“1”、“0”判定用のセンスアンプ回路25が接続される。

【0054】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0055】なお、第1の実施形態と同様に、メモリセル部10の下部領域に配置される周辺回路部20の回路は図9に示す回路に限定されず、メモリセル部10の外部領域に配置されたセンスアンプ回路25やワード線駆動トランジスタ26等の書き込み配線用ドライバをメモリセル部10の下部領域に配置してもよい。

【0056】[第3の実施形態] 第3の実施形態は、本発明をMRAM混載ロジック回路に適用した例であり、ロジック回路部の一部をメモリセル部の下部領域に配置させることを特徴とする。

【0057】図11(A)は、本発明の第3の実施形態に係る半導体記憶装置の平面図を示す。図11(B)は、図11(A)のXIB-XIB線に沿った半導体記憶装置の断面図を示す。

【0058】図11(A)(B)に示すように、MRAM混載チップは、メモリセル部10と、周辺回路部20と、ロジック回路部50とで構成される。そして、ロジ



11

ック回路部50の第1のロジック回路部50aはメモリセル部10の外部領域に配置され、ロジック回路部50の第2のロジック回路部50bはメモリセル部10の下部領域に配置される。

【0059】図12は、従来技術によるMRAMチップの平面図を示す。図13(A)は、図12のXIII A-XI IIA線に沿った従来のMRAMチップの断面図を示す。図13(B)は、本発明の第1の実施形態に係るMRAMチップの断面図を示す。

【0060】上記第3の実施形態によれば、ロジック回路部50の回路の一部(第2のロジック回路部50b)をメモリセル部10の下部領域に配置する。このため、メモリセル部10の下部領域に配置した第2のロジック回路部50bの分だけ、ロジック回路部50の表面積を縮小できる。その結果、MRAMチップの面積を縮小できる。

【0061】すなわち、図12に示すように、MRAMチップは、大きく分けてメモリセル部10とロジック回路部50とに分類できる。図13(A)に示すように、従来、メモリセル部10の下部領域は何も使われていないスペース45が存在していた。そこで、第3の実施形態によれば、図13(B)に示すように、従来のスペース45が存在していたメモリセル部10の下部領域に、ロジック回路部50の回路の一部(第2のロジック回路部50b)を配置させる。これによって、メモリセル部10の下部領域が有効活用され、MRAMチップの面積を縮小することが可能である。さらに、ロジック回路部50の回路を等価的に増やすことも可能である。

【0062】なお、第3の実施形態において、メモリセル部10の下部領域にはロジック回路部50の一部のみが配置されているが、周辺回路部20の一部も合わせて配置してもよい。

【0063】[第4の実施形態] 第4の実施形態は、第2の実施形態と同様のセル構造で、メモリセル部のTMR素子を周辺回路部のコンタクト層として利用する。

【0064】図14は、本発明の第4の実施形態に係る半導体記憶装置の断面図を示す。この図14は、メモリセル部10と周辺回路部20の境界付近を示している。

【0065】図14に示すように、第2の実施形態と同様に、メモリセル部10は、TMR素子11、ビット線13、書き込みワード線14a、読み出しワード線14bから構成される。

【0066】一方、周辺回路部20の一部分はメモリセル部10の下部領域に配置され、周辺回路部20の他の部分はメモリセル部10と同じ階層で配線が形成される。すなわち、半導体基板30上にMOSトランジスタ35が形成され、このMOSトランジスタ35のソース/ドレイン拡散層34に第1のコンタクト層61が接続される。この第1のコンタクト層61に第1の配線層62aが接続され、この第1の配線層62aと離間した第

12

1の配線層62bの一部は読み出しワード線14b下に配置される。つまり、第1の配線層62bは、メモリセル部10の下部領域からメモリセル部10の外側領域へ引き出される。この引き出された第1の配線層62bは第2のコンタクト層63を介して第2の配線層64に接続され、この第2の配線層64は第3のコンタクト層65を介して第3の配線層66に接続され、この第3の配線層66は第4のコンタクト層67を介して第4の配線層68に接続される。

【0067】ここで、周辺回路部20の各配線層64、66、68は、メモリセル部10の各配線層14b、13、14aの一部からなる。また、第4のコンタクト層67はメモリセル部10のTMR素子11の一部からなる。従って、周辺回路部20の第2の配線層64、第3の配線層66、第4のコンタクト層67、第4の配線層68は、メモリセル部10の読み出しワード線14b、ビット線13、TMR素子11、書き込みワード線14aとそれぞれ同じ階層に形成される。

【0068】なお、TMR素子11の抵抗は、一般的に $1\text{K}\Omega \cdot \mu\text{m}^2$ 程度であるが、例えば $100\Omega \cdot \mu\text{m}^2$ や $10\Omega \cdot \mu\text{m}^2$ 程度に下げることが可能である。このため、表面積が $1\mu\text{m}^2$ 程度のTMR素子11を例えば100個並列に並べた場合、 $100\Omega \cdot \mu\text{m}^2 \times 100 = 1\Omega$ 、 $10\Omega \cdot \mu\text{m}^2 \times 100 = 0.1\Omega$ となる。このようにTMR素子11の抵抗をそれぞれ下げることができる。従って、TMR素子11をコンタクト層として十分活用することが可能である。

【0069】上記第4の実施形態によれば、TMR素子11をコンタクト層の一部(第4のコンタクト層67)として利用する。これにより、プロセスステップを増やすことなく、メモリセル部10の最上層に位置する書き込みワード線14a、TMR素子11、ビット線13、ワード線14b等を周辺回路の一部として活用できる。このため、周辺回路のレイアウトの自由度を大幅に向上できる。

【0070】なお、第4の実施形態は、メモリセル部10は第2の実施形態の構造に限定されず、例えば、第1の実施形態のようなTMR素子とpn接合ダイオードを組み合わせた1TMR素子+1ダイオード型のセル構造を用いてもよい。

【0071】[第5の実施形態] 第5の実施形態に係る半導体記憶装置は、TMR素子とMOSトランジスタを組み合わせた1TMR素子+1トランジスタ型のセル構造である。

【0072】図15は、本発明の第5の実施形態に係る半導体記憶装置の平面図を示す。図16は、図15のXV I-XVI線に沿った半導体記憶装置の断面図を示す。図17は、図15のXVII-XVII線に沿った半導体記憶装置の断面図を示す。

【0073】図15に示すように、第5の実施形態に係

13

るMRAMチップのレイアウトは、チップ上に複数のメモリセル部10が配置され、これらメモリセル部10の端部には周辺回路部20のカラムデコーダ24、ロウデコーダ27が配置される。そして、カラムデコーダ24に接続する複数のカラムアドレス線23が行方向に配置され、ロウデコーダ27に接続する複数のロウアドレス線28が列方向に配置される。これらカラムアドレス線23及びロウアドレス線28は、複数のメモリセル部10をまたいで、これらメモリセル部10の複数（例えば4本又は8本）のビット線又はワード線（図示せず）にそれぞれ接続される。

【0074】図16に示すように、第5の実施形態に係る半導体記憶装置のメモリセル部10は、TMR素子11、ビット線13、ワード線14、MOSトランジスタ35から構成される。このメモリセル部10では、ビット線13とワード線14とが互いに直交するようにマトリクス状に周期的に配置され、これらビット線13とワード線14の各々の交点にTMR素子11が配置される。このTMR素子11と対になって1セル毎にMOSトランジスタ35が配置され、このMOSトランジスタ35は第1、第2のコンタクト層38、39、配線層37、下部電極70を介してTMR素子11に接続される。

【0075】図16、図17に示すように、第5の実施形態に係る半導体記憶装置の周辺回路部20の一部（例えば、ロウアドレス線28、カラムアドレス線23）は、メモリセル部10の隙間に配置される。すなわち、ロウアドレス線28は、メモリセル部10の例えばワード線14と同時に形成され、ビット線13下の隙間に配置される。また、カラムアドレス線23は、メモリセル部10の例えば配線層37と同時に形成され、ワード線14下の隙間に配置される。そして、TMR素子11に接続するビット線13は、LSIを構成する配線層の最上層に配置される。

【0076】上記第5の実施形態に係る半導体記憶装置の書き込み・読み出し動作は以下のように行われる。

【0077】まず、任意のセルに情報を書き込む場合、ロウアドレス線28によりワード線14が選択され、カラムアドレス線23によりビット線13が選択される。この選択されたワード線14及びビット線13によって情報を書き込むセルが選択され、この選択セルのTMR素子11に“0”又は“1”のデータが書き込まれる。この書き込まれるデータの種類（“0”又は“1”）は、ワード線14を流れる電流の極性によって決まる。

【0078】一方、任意のセルの情報を読み出す場合、選択セルに接続されたセル選択トランジスタ35のゲート電極33をONにする。これにより、読み出し電流は、ビット線13～TMR素子11～下部電極70～第2のコンタクト層39～配線層37～第1のコンタクト層38～セル選択トランジスタ35～共通接地線71の

14

順で流れる。そして、センスアンプ回路（図示せず）を介して情報が読み出される。

【0079】上記第5の実施形態によれば、周辺回路部20のロウアドレス線28やカラムアドレス線23をメモリセル部10のビット線13やワード線14下の隙間に配置している。従って、メモリセル部10内の隙間を有効活用でき、MRAMチップの面積を縮小することが可能である。

【0080】また、ロウアドレス線28を例えばワード線14と同時に形成し、カラムアドレス線23を例えば配線層37と同時に形成することにより、周辺回路部20の回路の製造工程を減らすことが可能である。

【0081】また、従来、ロウアドレス線28やカラムアドレス線23は、メモリセル部10の上部領域に配置されていた。つまり、ロウアドレス線28やカラムアドレス線23の形成の際、300℃+α程度の耐熱性であるTMR素子11に、熱処理による悪影響が生じるおそれがあった。しかし、第5の実施形態によれば、ロウアドレス線28やカラムアドレス線23をTMR素子11より下に配置させるため、ロウアドレス線28やカラムアドレス線23を形成した後にTMR素子11を形成できる。従って、上述する熱処理によるTMR素子11への悪影響の発生を抑制できる。

【0082】また、TMR素子11は、製造工程においてクリーンルームなどにおける製造設備を汚染する可能性がある。このため、TMR素子11を可能な限り最上層に近い場所に配置することによって、製造設備の汚染を低減できる。

【0083】[第6の実施形態] 第6の実施形態は、第5の実施形態のセル構造を、TMR素子とpn接合ダイオードを組み合わせた1TMR素子+1ダイオード型のセル構造に変更したものである。

【0084】図18は、第6の実施形態に係る半導体記憶装置のビット線方向に沿った断面図を示す。図19は、第6の実施形態に係る半導体記憶装置のワード線方向に沿った断面図を示す。なお、図18は、図15のXV I-XVI線に沿った半導体記憶装置の断面であり、図19は、図15のXVII-XVII線に沿った半導体記憶装置の断面である。

【0085】図18、図19に示すように、メモリセル部10の下部領域にビット線13の方向にカラムアドレス線23が配置される。このカラムアドレス線23の下部領域にワード線14の方向にロウアドレス線28が配置される。

【0086】上記第6の実施形態に係る半導体記憶装置の書き込み・読み出し動作は以下のように行われる。

【0087】まず、任意のセルに情報を書き込む場合、ロウアドレス線28によりワード線14が選択され、カラムアドレス線23によりビット線13が選択される。この選択されたワード線14及びビット線13によって

10

20

30

40

50

15

情報を書き込むセルが選択され、この選択セルのTMR素子11に“0”又は“1”のデータが書き込まれる。この書き込まれるデータの種類(“0”又は“1”)は、ビット線13又はワード線14に流れる電流のいずれか一方の極性を変えることによって決まる。

【0088】一方、任意のセルの情報を読み出す場合、選択セルに接続されたビット線13とワード線14には、TMR素子11と直列接続されたダイオード12に対して順方向となるような電圧を与える。このとき、非選択セルに接続されたビット線13とワード線14には、ダイオード12に対して逆方向となるような電圧をそれぞれ与える。例えば、このダイオード12がビット線13からワード線14へと向かう方向を順方向とするpn接合ダイオードであった場合、以下の式(1)

(2)の関係を満たすバイアス電圧 $V_{\text{ビット線}}$ 、 $V_{\text{ワード線}}$ をビット線13とワード線14にそれぞれ与える。その結果、選択セルにのみ読み出し電流が流れ、センスアンプ回路(図示せず)を介して情報が読み出される。

【0089】

選択セル： $V_{\text{ビット線}} > V_{\text{ワード線}}$ …(1)

非選択セル： $V_{\text{ビット線}} < V_{\text{ワード線}}$ …(2)

上記第6の実施形態によれば、第5の実施形態と同様の効果を得ることができる。

【0090】さらに、第6の実施形態は、第5の実施形態に比べてメモリセル部10の下部領域に隙間が多く存在している。従って、第5の実施形態よりも隙間に多くのロウアドレス線28やカラムアドレス線23を配置することができるため、MRAMチップの面積をさらに縮小することが可能である。

【0091】なお、第6の実施形態では、カラムアドレス線23がロウアドレス線28の上層に配置されているが、これに限定されない。例えば、ロウアドレス線28がカラムアドレス線23の上層に配置されてもよいし、図16に示すようにロウアドレス線28をワード線14と同一階層に形成してもよく、最上層のビット線13下の隙間で有ればカラムアドレス線23やロウアドレス線28はどこに形成されてもよい。

【0092】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0093】

16

【発明の効果】以上説明したように本発明によれば、チップ面積の縮小化が可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係わる半導体記憶装置のメモリセル部を示す平面図。

【図2】本発明の第1の実施形態に係わる半導体記憶装置の周辺回路部を示す平面図。

【図3】図2、図3のIII-III線に沿った半導体記憶装置の断面図。

【図4】図4(A)は1重トンネル接合構造のTMR素子を示す断面図、図4(B)は1重トンネル接合構造の他のTMR素子を示す断面図。

【図5】図5(A)は2重トンネル接合構造のTMR素子を示す断面図、図5(B)は2重トンネル接合構造の他のTMR素子を示す断面図。

【図6】図6(A)は従来技術によるMRAMチップを示す平面図、図6(B)は本発明の第1の実施形態によるMRAMチップを示す平面図。

【図7】図7(A)は図6(A)のVIIA-VIIA線に沿った従来のMRAMチップを示す断面図、図7(B)は図6(A)のVIIB-VIIB線に沿った第1の実施形態に係るMRAMチップを示す断面図。

【図8】本発明の第2の実施形態に係わる半導体記憶装置のメモリセル部を示す平面図。

【図9】本発明の第2の実施形態に係わる半導体記憶装置の周辺回路部を示す平面図。

【図10】図8、図9のX-X線に沿った半導体記憶装置の断面図。

【図11】本発明の第3の実施形態に係わる半導体記憶装置を示す平面図。

【図12】図12は、従来技術によるMRAMチップを示す平面図。

【図13】図13(A)は、図12のXIIIA-XIIIA線に沿った従来のMRAMチップを示す断面図、図13(B)は、本発明の第1の実施形態に係るMRAMチップを示す断面図。

【図14】本発明の第4の実施形態に係わる半導体記憶装置を示す断面図。

【図15】本発明の第5の実施形態に係わる半導体記憶装置を示す平面図。

【図16】図15のXVI-XVI線に沿った半導体記憶装置を示す断面図。

【図17】図15のXVII-XVII線に沿った半導体記憶装置を示す断面図。

【図18】本発明の第6の実施形態に係わる半導体記憶装置を示すビット線方向に沿った断面図。

【図19】本発明の第6の実施形態に係わる半導体記憶装置を示すワード線方向に沿った断面図。

【図20】図20(A)は第1の従来技術による半導体

17

記憶装置を示す平面図、図20(B)は図20(A)のXXB-XXB線に沿った半導体記憶装置の断面図。

【図21】図21(A)は第2の従来技術による半導体記憶装置を示す平面図、図21(B)は図21(A)のXXIB-XXIB線に沿った半導体記憶装置の断面図。

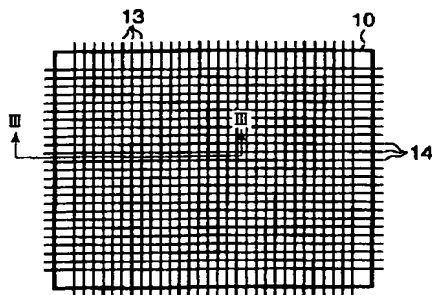
【図22】図22(A)は第3の従来技術による半導体記憶装置を示す平面図、図22(B)は図22(A)のXXIIB-XXIIB線に沿った半導体記憶装置の断面図。

【図23】従来技術による半導体記憶装置を示す平面図。

【符号の説明】

- 10…メモリセル部、
- 11…TMR素子、
- 12…pn接合ダイオード、
- 13…ビット線、
- 14…ワード線、
- 14a…書き込みワード線、
- 14b…読み出しワード線、
- 20…周辺回路部、
- 21…ビット線駆動トランジスタ、
- 22…電源配線及び接地配線、
- 23…カラムアドレス線、
- 24…カラムデコーダ、
- 25…センスアンプ回路、
- 26…ワード線駆動トランジスタ、
- 27…ロウデコーダ、
- 28…ロウアドレス線、
- 30…半導体基板、
- 31…素子領域、
- 32…素子分離領域、

【図1】

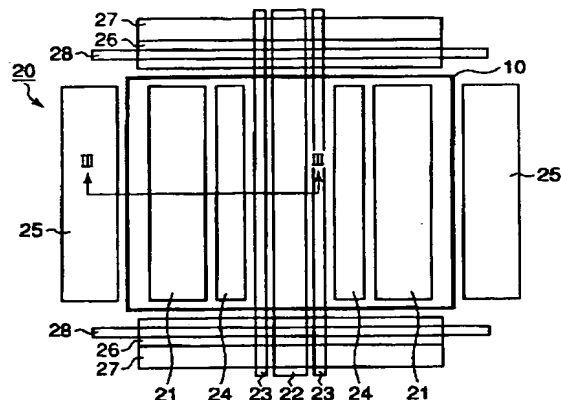


18

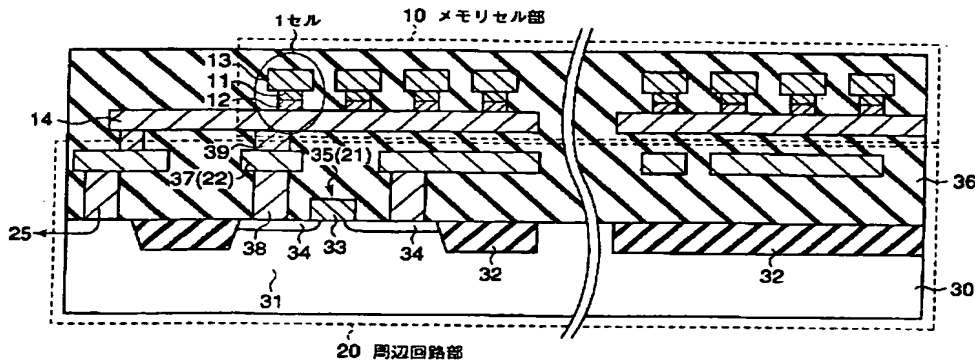
- \* 33…ゲート電極、
- 34…ソース/ドレイン拡散層、
- 35…MOSトランジスタ、
- 36…層間絶縁膜、
- 37…配線層、
- 38…第1のコンタクト層、
- 39…第2のコンタクト層、
- 41、41a、41b…磁化固着層、
- 42、42a、42b…トンネル接合層、
- 43…磁気記録層、
- 45…スペース、
- 50、50a、50b…ロジック回路部、
- 61…第1のコンタクト層、
- 62a、62b…第1の配線層、
- 63…第2のコンタクト層、
- 64…第2の配線層、
- 65…第3のコンタクト層、
- 66…第3の配線層、
- 67…第4のコンタクト層 (TMR素子)、
- 68…第4の配線層、
- 70…下部電極、
- 71…共通接地線、
- 101…テンプレート層、
- 102…初期強磁性層、
- 103…反強磁性層、
- 104、104'、104''…基準強磁性層、
- 105、105'、105''…自由記録層、
- 106…接点層、
- 107…非磁性層。

\* 30

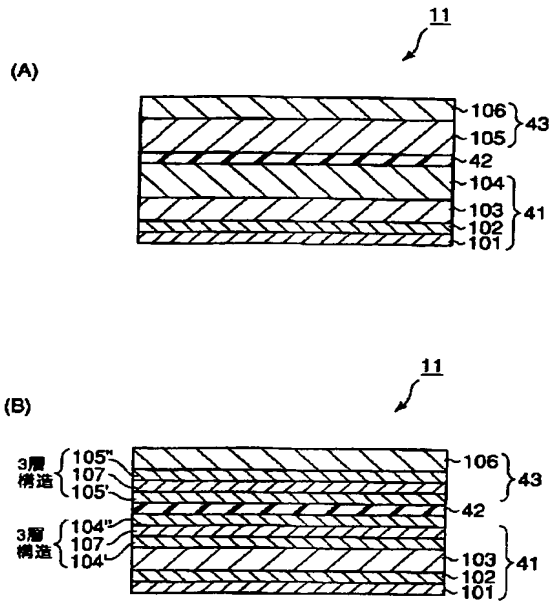
【図2】



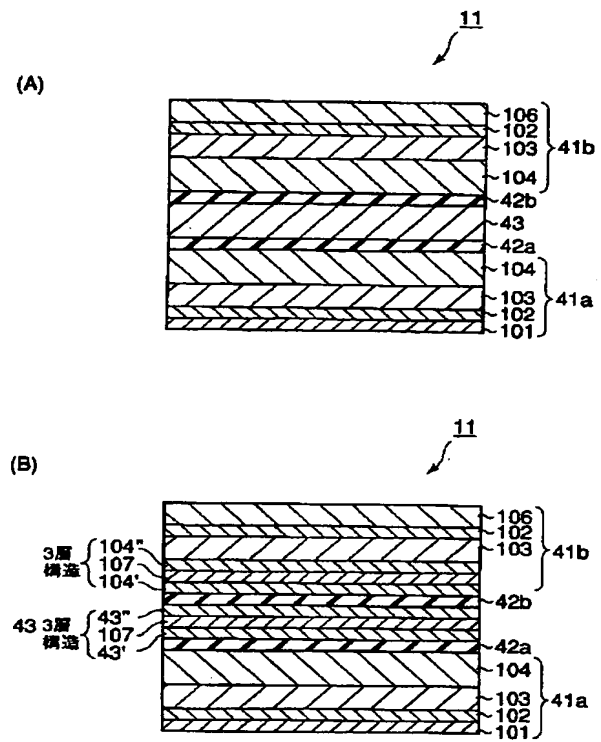
【図3】



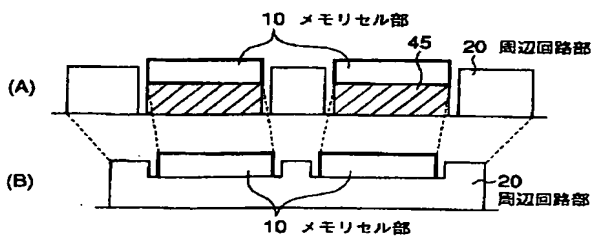
【図4】



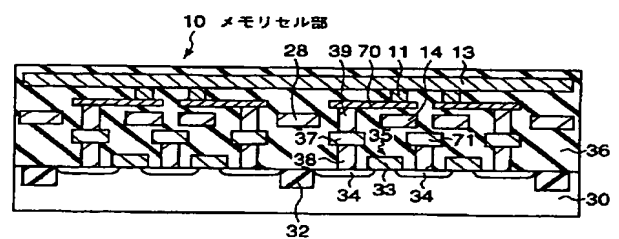
【図5】



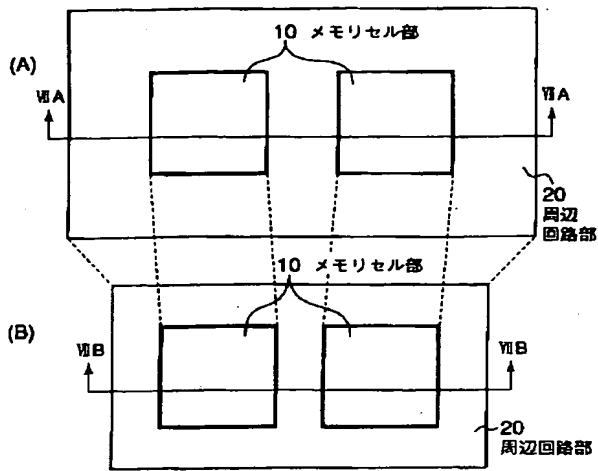
【図7】



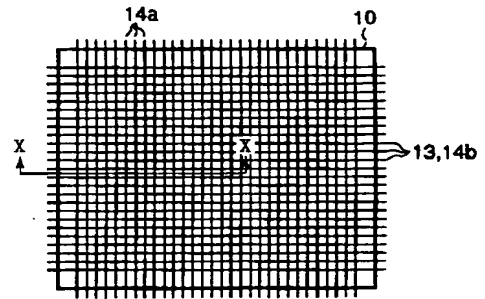
【図16】



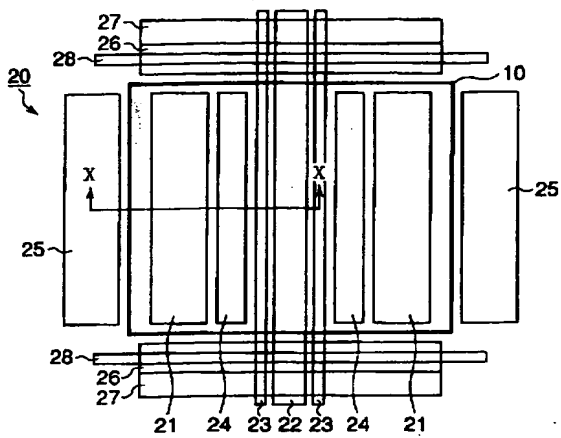
【図6】



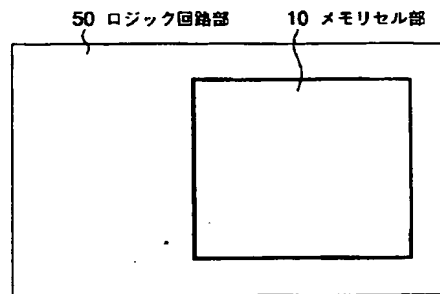
【図8】



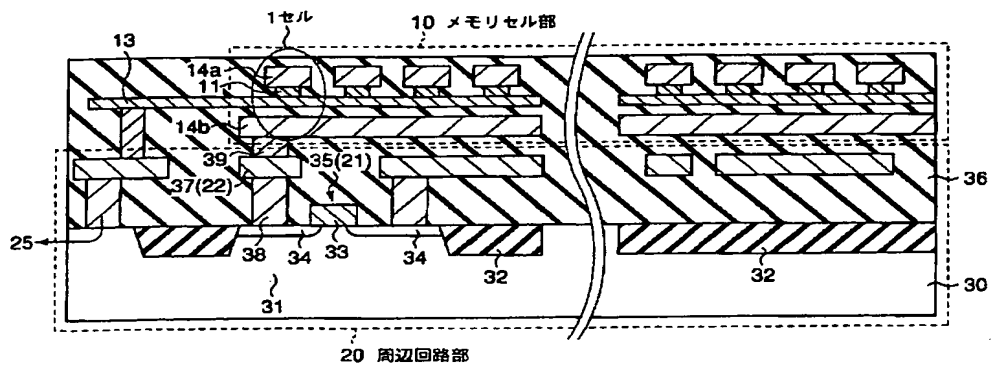
【図9】



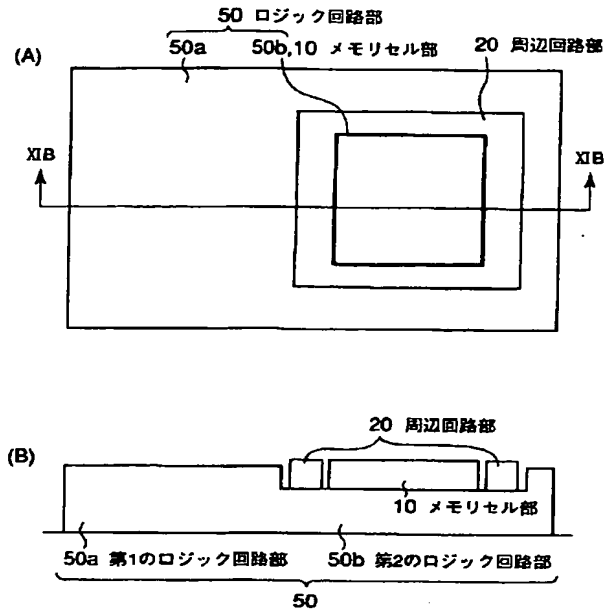
【図12】



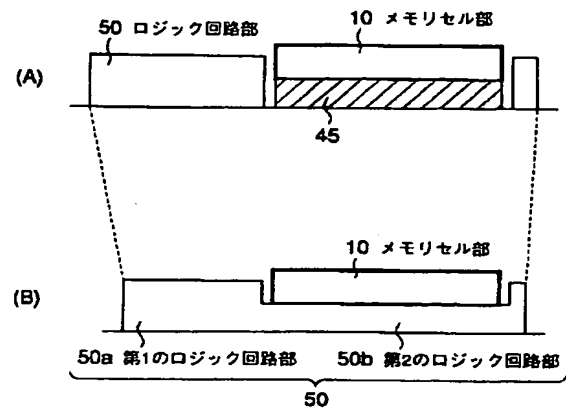
【図10】



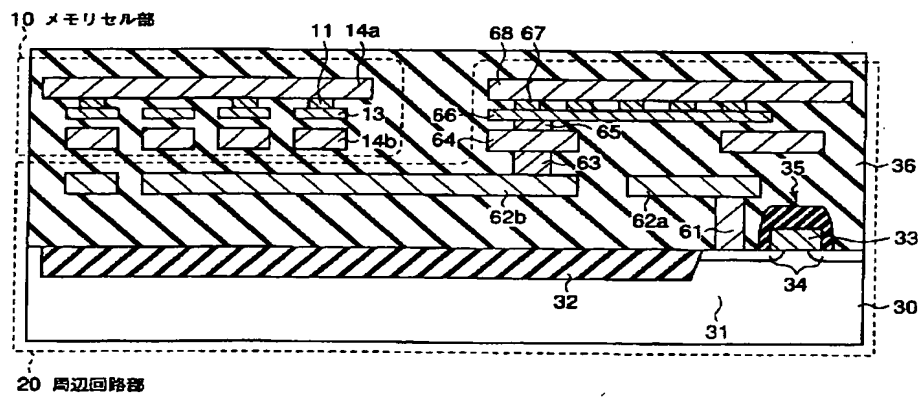
【図11】



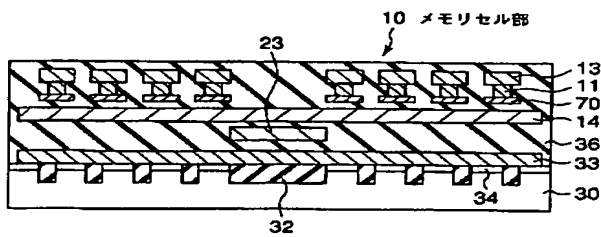
【図13】



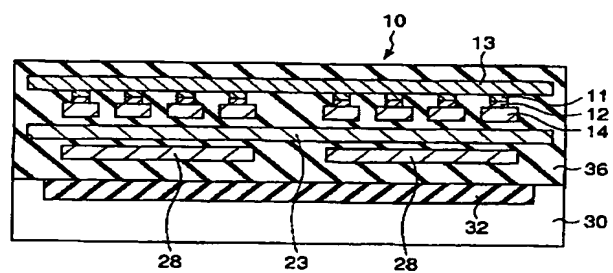
【図14】



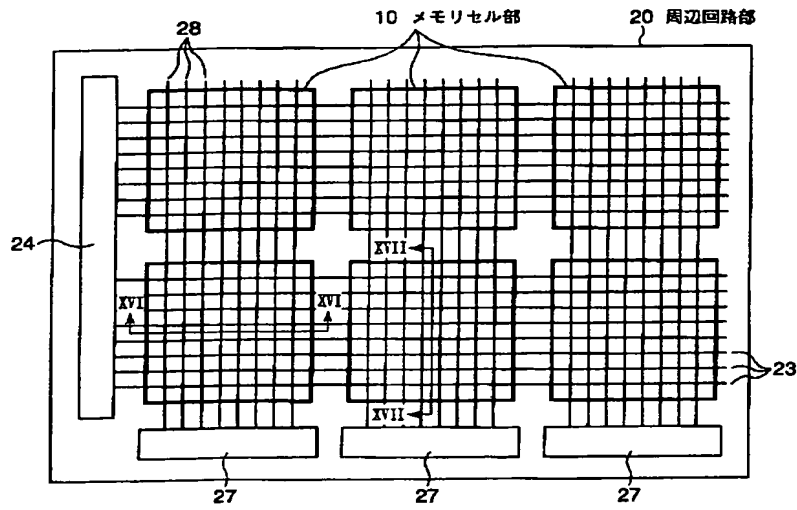
【図17】



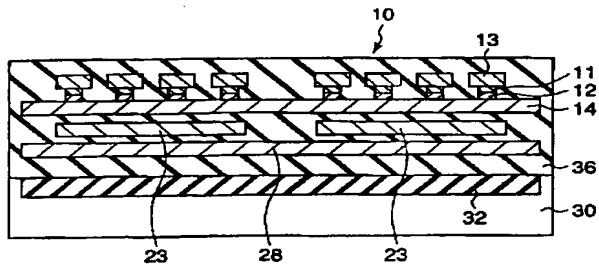
【図18】



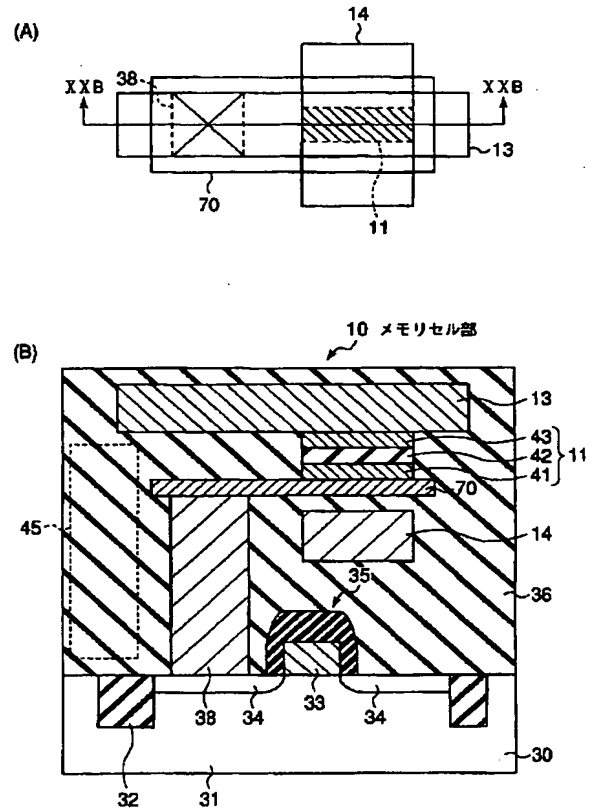
【図15】



【図19】

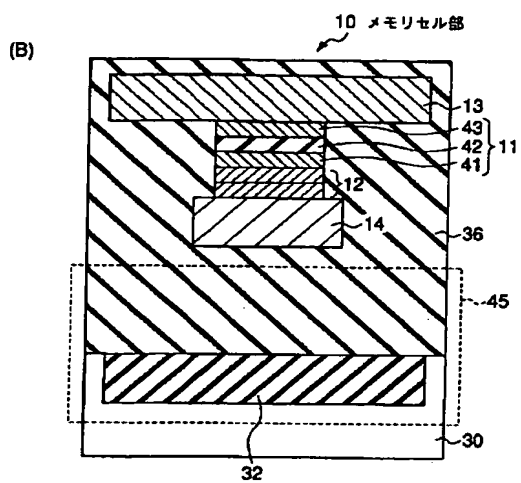
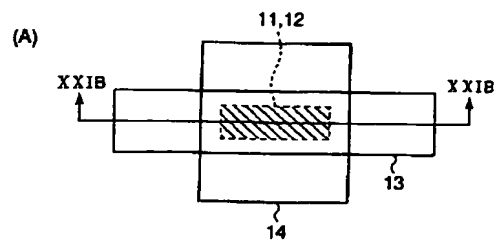


【図20】

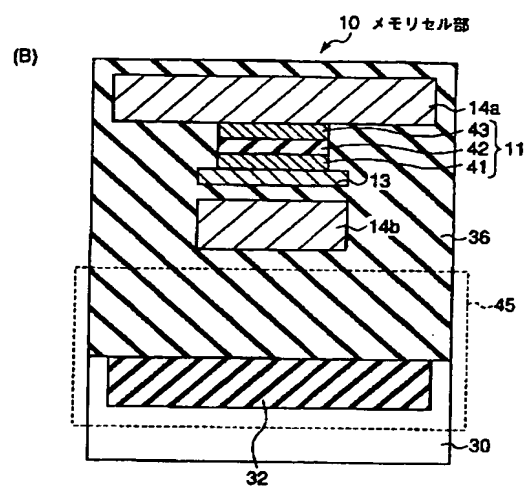
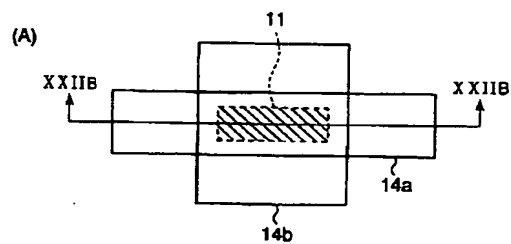




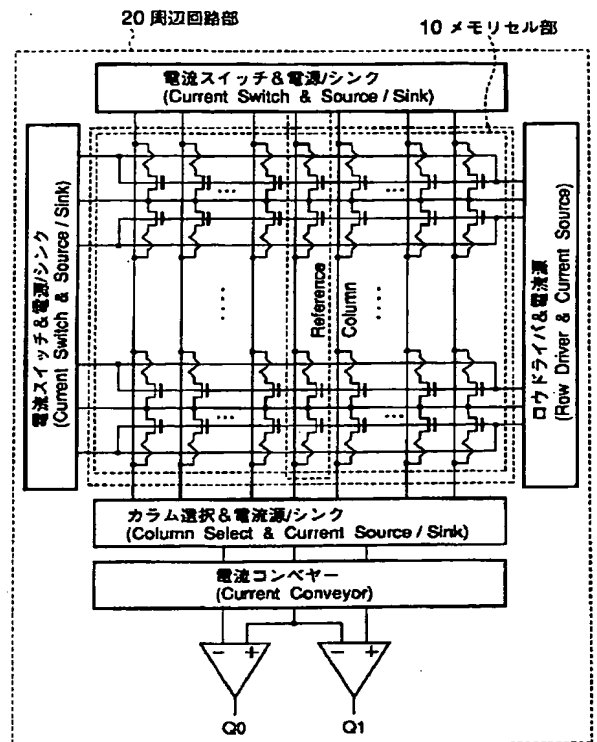
【図21】



【図22】



【図23】



フロントページの続き

Fターム(参考) 5F083 FZ10 GA09 GA10 GA28 JA60  
LA26 MA06 MA19 ZA12